

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-025804

(43)Date of publication of application : 03.02.1988

(51)Int.Cl.

G11B 5/09

(21)Application number : 61-168718

(71)Applicant : ROHM CO LTD

(22)Date of filing : 17.07.1986

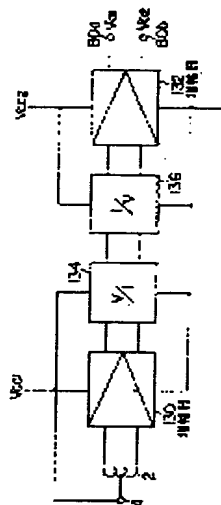
(72)Inventor : IKUTO YOSHIHIRO

(54) MAGNETIC RECORDING AND REPRODUCING CIRCUIT

(57)Abstract:

PURPOSE: To reduce the driving voltage of a part consuming a large current and to reduce the power consumption by setting the driving voltage of a second amplifier in the output stage side to a low value and setting that of a first amplifier, which amplifies the output of a magnetic head, to a high value.

CONSTITUTION: The first amplifier 130 which amplifies the read output of the magnetic head and the second amplifier 132 which amplifies the output of the amplifier 130 are provided, and a driving voltage V_{cc2} of the second amplifier 132 is set to a value lower than a driving voltage V_{cc1} of the first amplifier 130 ($V_{cc1} > V_{cc2}$). A signal converting means (a voltage-current converting circuit 134 and a current-voltage converting circuit 136) is provided which converts the amplification output of the first amplifier 130 to a current and converts this current to a voltage adapted to the second amplifier 132 and applies it to the amplifier 132. The driving voltage of the part which consumes a large current and that of the part which does not consume it are made different from each other to very easily reduce the power consumption.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-25804

⑬ Int. Cl.⁴

G 11 B 5/09

識別記号

庁内整理番号

E-8322-5D

⑭ 公開 昭和63年(1988)2月3日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 磁気記録再生回路

⑯ 特 願 昭61-168718

⑰ 出 願 昭61(1986)7月17日

⑱ 発 明 者 生 藤 義 弘 京都府京都市右京区西院溝崎町21番地 ローム株式会社内

⑲ 出 願 人 ローム株式会社 京都府京都市右京区西院溝崎町21番地

⑳ 代 理 人 弁理士 畝 本 正 一

明 細 書

1. 発明の名称

磁気記録再生回路

2. 特許請求の範囲

磁気ヘッドの読出し出力を増幅する第1の増幅器と、この第1の増幅器の出力を増幅する第2の増幅器とを備え、第1の増幅器を動作させる駆動電圧に対して第2の増幅器を動作させる駆動電圧を低く設定するとともに、第1の増幅器の増幅出力を電流に変換し、その電流を第2の増幅器に適合する電圧に変換して第2の増幅器に加える信号変換手段を設置したことを特徴とする磁気記録再生回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、フロッピーディスクなどの記録メディアの記録、再生を行う磁気記録再生回路に係り、特に、電池駆動などに適した低消費電力化に関する。

(従来の技術)

従来、小型フロッピーディスクを装備する携帯用機器での磁気記録は、5.25インチタイプのものでは5Vおよび12Vの2電源により行われ、3.5インチタイプでは5Vの単一電源のもとに行われている。

このため、磁気記録再生回路(リードライト用IC)では、電圧が5Vの単一電源、または、電圧が5Vおよび12Vの2電源で動作を行う必要がある。

たとえば、電圧が5Vの単一電源で動作させる場合には、ヘッド印加有効電圧を十分に得るために、第3図に示すように、ヘッドのコイル2のセンタータップに設けられたコモン端子4を直接にその電源に接続することが行われている。この場合、スイッチ6a、6bは書き込み時のスイッチング回路におけるスイッチング素子を表わし、定電流源8はコイル2に対してライト電流を流すために設定されており、読出し時、コイル2に得られたリード信号は、リード回路に加えられる。

特開昭63-25804 (2)

そして、このようにコイル2のコモン端子4を直接に電源に接続した場合、第4図に示すような磁気記録再生回路が必要となる。

第4図に示すように、コイル2のコモン端子4は電源端子10から電源電圧 V_{cc} が加えられて、フロッピーディスクの記憶磁気によってコイル2の端子12a、12bに得られたリード信号は、ダイオード14、16、18、20、22、24および抵抗26、28、30、32を介して前置増幅器を構成するトランジスタ34、36のベースに加えられている。各トランジスタ34、36はエミッタフォロウ回路を構成しており、そのエミッタ側からダイオード38、40を介してレベルシフトされて取り出された出力は、次の差動増幅器を構成するトランジスタ42、44のベースに加えられる。

トランジスタ42、44は、抵抗46、48を介して設けられた端子50、52間に接続されたキャパシタ54を介して共通化されて差動増幅器を構成しており、抵抗56、58はその負荷抵抗

である。

この差動増幅器を構成するトランジスタ42、44のコレクタ側から取り出された出力は、エミッタフォロウ回路を構成するトランジスタ60、62のベースに加えられ、その出力をエミッタ側から取り出してトランジスタ64、66のベースに加えている。トランジスタ64、66は抵抗68、70を介してエミッタを共通化して差動増幅器を構成しており、抵抗72、74は負荷抵抗である。

各トランジスタ64、66のコレクタ側から取り出された出力は、エミッタフォロウ回路からなる出力段回路のトランジスタ76、78のベースに加えられ、各エミッタ側の出力端子80a、80bからリード信号 V_{01} 、 V_{02} を取り出す。

そして、トランジスタ82、84、86、88、90、92、94、96、98、100、102は、エミッタ側の抵抗104、106、108、110、112、114、116、118、120、122、124とともに定電流源を構成

しており、端子126に加えられるバイアス電圧 V_R に応じて定電流を回路に流す。

(発明が解決しようとする問題点)

このような磁気記録再生回路では、消費電力が電源電圧に比例して増加する特性を持っており、電圧12Vでの動作時の消費電力は、5Vによる動作時に対して電圧増加によって2.4倍($=12/5$)になる。

そこで、この発明は、電源電圧の増減による消費電力の増加を抑えた磁気記録再生回路の提供を目的とする。

(問題点を解決するための手段)

この発明の磁気記録再生回路は、第1図に示すように、磁気ヘッドの読出し出力を増幅する第1の増幅器130と、この第1の増幅器130の出力を増幅する第2の増幅器132とを備え、第1の増幅器130を動作させる駆動電圧 V_{cc1} に対して第2の増幅器132を動作させる駆動電圧 V_{cc2} を低く($V_{cc1} > V_{cc2}$)設定するとともに、第1の増幅器130の増幅出力を電流に変換

し、その電流を第2の増幅器132に適合する電圧に変換して第2の増幅器132に加える信号変換手段(電圧・電流変換回路134および電流・電圧変換回路136)を設置したものである。

(作 用)

このように構成すると、大電流を必要とする出力段側の第2の増幅器132の駆動電圧 V_{cc2} を低くし、磁気ヘッドの出力を増幅する第1の増幅器130の駆動電圧 V_{cc1} を高く設定することにより、大電流消費部分の駆動電圧 V_{cc2} の低減で電力消費が抑制される。

(実施例)

以下、この発明の実施例を図面を参照して説明する。

第1図は、この発明の磁気記録再生回路の実施例を示す。

第1の増幅器130は、磁気ヘッドの再生出力を増幅する前段増幅器を構成しており、この増幅器130は大電流を必要としないので、その駆動電圧 V_{cc1} を第2の増幅器132の駆動電圧 V_{cc2}

特開昭63-25804 (3)

より高く設定し、その駆動電圧 V_{cc1} をコイル2のコモン端子4にも印加する。増幅器130で得られた出力電圧は、信号変換手段として設置された電圧・電流変換回路 (V/I) 134によって電流に変換されて伝送され、その電流は信号変換手段として設置された電流・電圧変換回路 (I/V) 136によって第2の増幅器132に適合する電圧に変換されて、増幅器132に加えられる。この場合、電圧・電流変換回路134は、増幅器130と同様に高い駆動電圧 V_{cc1} で駆動される。そして、電流・電圧変換回路136によって得られた増幅器130の出力は、低い駆動電圧 V_{cc2} で駆動される増幅器132によって増幅され、出力端子80a、80bからリード信号 V_{o1} 、 V_{o2} として取り出される。

このように大電流を必要としない増幅器130の駆動電圧 V_{cc1} を高くして書き込み時のダイナミックレンジを大きくし、大電流を必要とする増幅器132の駆動電圧 V_{cc2} を低くし、両者間を電圧・電流変換回路134および電流・電圧変換回

路136を介して電流伝送を行うので、再生されたリード信号 V_{o1} 、 V_{o2} の送出に何等影響を与えることなく、消費電力を1/2程度に減少することができる。

第2図は、この発明の磁気記録再生回路の具体的な回路構成例を示す。この磁気記録再生回路において、増幅器130は、第4図に示した従来の磁気記録再生回路と共通しており、電圧・電流変換回路134は、トランジスタ64、66および抵抗68、70からなる差動増幅器を以て構成し、トランジスタ64、66に流れる電流を各トランジスタ64、66のコレクタ側に設置したトランジスタ138とトランジスタ140、トランジスタ142とトランジスタ144からなるカレントミラー回路で取り出すようにしている。

また、電流・電圧変換回路136は、トランジスタ146、148および抵抗150、152からなるカレントミラー回路に負荷としての抵抗154を付加し、また、トランジスタ156、158および抵抗160、162からなるカレントミラー回路に負荷としての抵抗164を付加して、トランジスタ140、144から流出した電流を電圧に変換している。抵抗154、164に得られる電圧は、増幅器130の出力に対応し、かつ、駆動電圧 V_{cc2} で駆動される増幅器132に適合している。そして、増幅器132は、トランジスタ76、78からなるエミッタフォロワ回路で構成されており、抵抗154、164で得られた電圧がコレクタ・ベース間に加えられて、出力端子80a、80bからリード信号 V_{o1} 、 V_{o2} が取り出される。このように電圧・電流変換回路134および電流・電圧変換回路136を介して電流伝送によってリード信号電圧が伝送されて、出力端子80a、80bからリード信号 V_{o1} 、 V_{o2} として出力することができ、この実施例と第4図に示した回路とを比較した場合、カレントミラー回路を4組程度設置し、駆動電圧 V_{cc1} 、 V_{cc2} を異ならせることによって、極めて簡単に電力消費の低減を図ることができる。

また、電流・電圧変換回路136は、トランジスタ146、148および抵抗150、152からなるカレントミラー回路に負荷としての抵抗154を付加し、また、トランジスタ156、158および抵抗160、162からなるカレントミラー回路に負荷としての抵抗164を付加して、トランジスタ140、144から流出した電流を電圧に変換している。抵抗154、164に得られる電圧は、増幅器130の出力に対応し、かつ、駆動電圧 V_{cc2} で駆動される増幅器132に適合している。そして、増幅器132は、トランジスタ76、78からなるエミッタフォロワ回路で構成されており、抵抗154、164で得られた電圧がコレクタ・ベース間に加えられて、出力端子80a、80bからリード信号 V_{o1} 、 V_{o2} が取り出される。このように電圧・電流変換回路134および電流・電圧変換回路136を介して電流伝送によってリード信号電圧が伝送されて、出力端子80a、80bからリード信号 V_{o1} 、 V_{o2} として出力することができ、この実施例と第4図に示した回路とを比較した場合、カレントミラー回路を4組程度設置し、駆動電圧 V_{cc1} 、 V_{cc2} を異ならせることによって、極めて簡単に電力消費の低減を図ることができる。

第2図は、この発明の磁気記録再生回路の具体的な回路構成例を示す。

この磁気記録再生回路において、増幅器130は、第4図に示した従来の磁気記録再生回路と共通しており、電圧・電流変換回路134は、トランジスタ64、66および抵抗68、70からなる差動増幅器を以て構成し、トランジスタ64、66に流れる電流を各トランジスタ64、66のコレクタ側に設置したトランジスタ138とトランジスタ140、トランジスタ142とトランジスタ144からなるカレントミラー回路で取り出すようにしている。

また、電流・電圧変換回路136は、トランジスタ146、148および抵抗150、152からなるカレントミラー回路に負荷としての抵抗154を付加し、また、トランジスタ156、158および抵抗160、162からなるカレントミラー回路に負荷としての抵抗164を付加して、トランジスタ140、144から流出した電流を電圧に変換している。抵抗154、164に得られる電圧は、増幅器130の出力に対応し、かつ、駆動電圧 V_{cc2} で駆動される増幅器132に適合している。そして、増幅器132は、トランジスタ76、78からなるエミッタフォロワ回路で構成されており、抵抗154、164で得られた電圧がコレクタ・ベース間に加えられて、出力端子80a、80bからリード信号 V_{o1} 、 V_{o2} が取り出される。このように電圧・電流変換回路134および電流・電圧変換回路136を介して電流伝送によってリード信号電圧が伝送されて、出力端子80a、80bからリード信号 V_{o1} 、 V_{o2} として出力することができ、この実施例と第4図に示した回路とを比較した場合、カレントミラー回路を4組程度設置し、駆動電圧 V_{cc1} 、 V_{cc2} を異ならせることによって、極めて簡単に電力消費の低減を図ることができる。

ことができる。

(発明の効果)

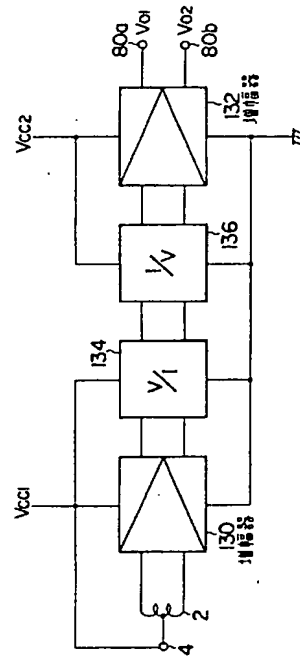
以上説明したように、この発明によれば、大電流を消費する部分とそうでない部分との駆動電圧を異ならせることにより、極めて簡単に消費電力の低減を図ることができ、電池駆動など低電圧、低消費電力を実現することができる。

4. 図面の簡単な説明

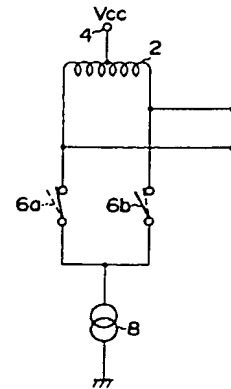
第1図はこの発明の磁気記録再生回路の実施例を示すブロック図、第2図は第1図に示した磁気記録再生回路の具体的な回路構成例を示す回路図、第3図は一般的な磁気ヘッド部分の構成を示す回路図、第4図は従来の磁気記録再生回路を示す回路図である。

2・・・磁気ヘッドを巻くコイル、130・・・第1の増幅器、132・・・第2の増幅器、134・・・信号変換手段としての電圧・電流変換回路、136・・・信号変換手段としての電流・電圧変換回路。

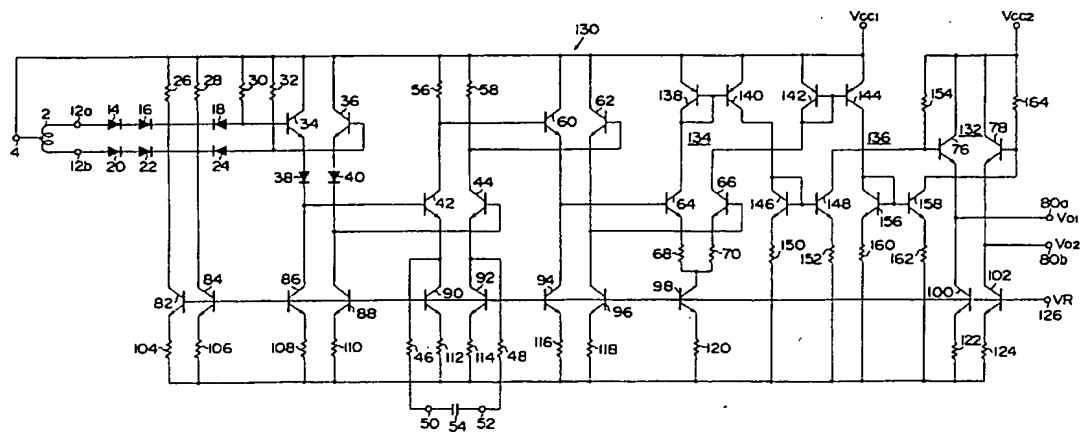
特開昭 63-25804 (4)



第一



第 3 区



第 2 题

The circuit diagram illustrates a 10-bit digital-to-analog converter (DAC) implemented using a current mirror array and a resistor ladder network. The circuit is powered by a 10V_{VCC} supply and includes several output nodes: 80a (V_{oi}), 80b (V_{o2}), and 80c (V_R).

Current Mirror Array: The array consists of multiple stages of current mirrors. The first stage uses transistors 34 and 36, with current mirrors 26, 28, 30, and 32. Subsequent stages use transistors 42, 44, 60, 62, 76, and 78. The array is designed to generate currents proportional to the digital input bits.

Resistor Ladder Network: A series of resistors (104, 106, 108, 110, 112, 114, 116, 118, 120, 122, 124) form a ladder network that converts the currents from the current mirror array into a single output voltage. The resistors are connected in a way that the output voltage is a weighted sum of the input bits.

Input and Output Connections: The circuit has several input and output pins. Inputs include 12a, 14, 16, 18, 20, 22, 24, 26, 28, 30, 32, 34, 36, 38, 40, 42, 44, 46, 48, 50, 52, 54, 56, 58, 60, 62, 64, 66, 68, 70, 72, 74, 76, 78, 80a, 80b, and 80c. Outputs include 10V_{VCC}, 80a (V_{oi}), 80b (V_{o2}), and 80c (V_R).

第 4 图